

10 670 510
12-30-03

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05327676 A**

(43) Date of publication of application: **10.12.93**

(51) Int. Cl. **H04L 7/00**

(21) Application number: **04126578**

(71) Applicant: **FUJITSU LTD**

(22) Date of filing: **20.05.92**

(72) Inventor: **YAMAGUCHI MASAKAZU**

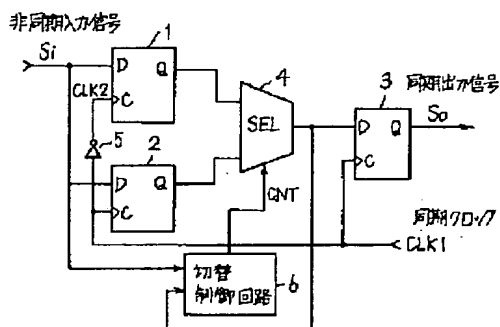
(54) **ASYNCHRONIZING SIGNAL SYNCHRONIZATION CIRCUIT**

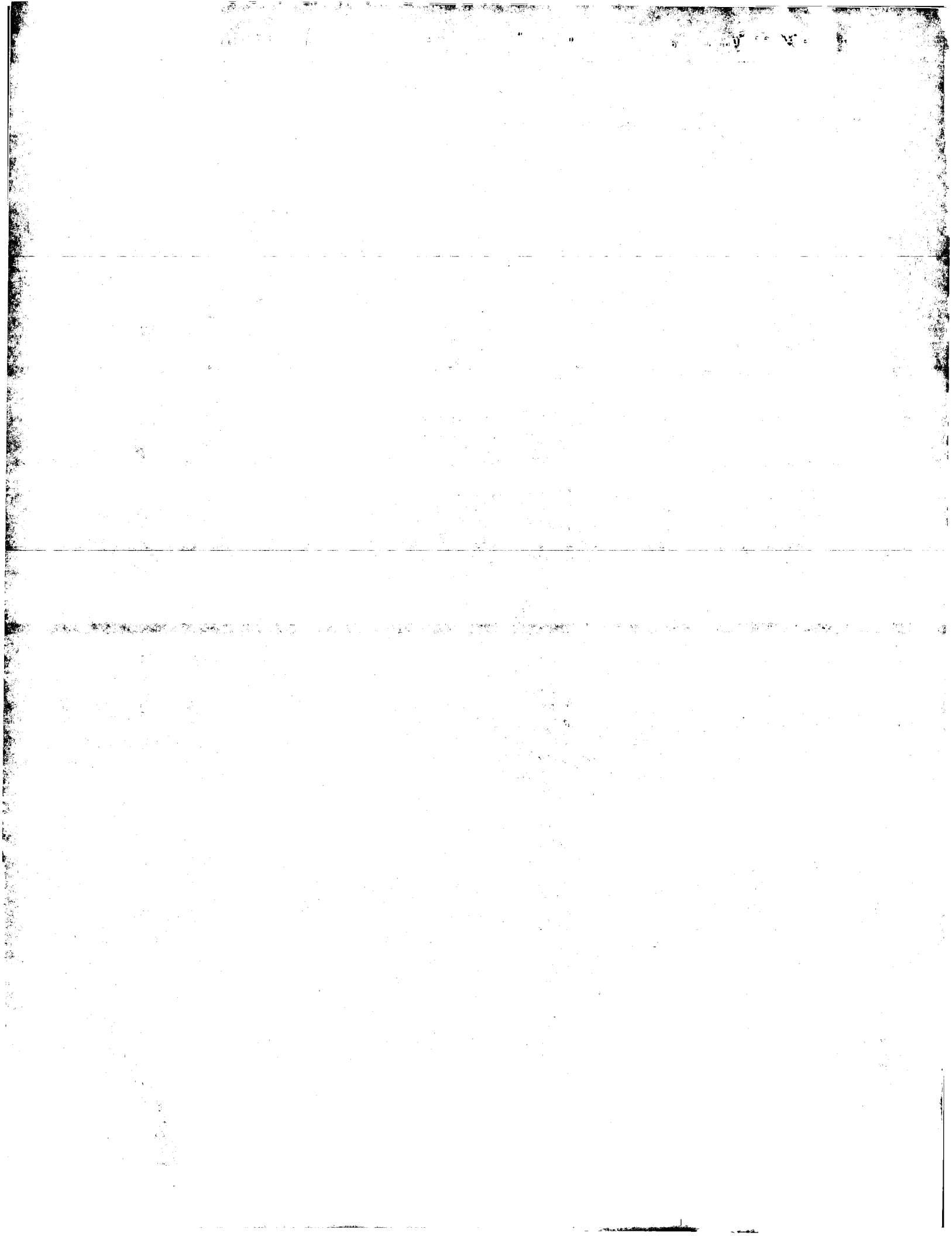
COPYRIGHT: (C)1993,JPO&Japio

(57) Abstract:

PURPOSE: To convert an asynchronizing input signal into a synchronization signal without any error by preventing an output signal from being indefinite when the asynchronizing input signal is fetched by a digital transmitter or the like based on the synchronization clock.

CONSTITUTION: The circuit is provided with a 1st D flip-flop 1 fetching an input signal Si based on a synchronizing clock CLK1, a 2nd D flip-flop 2 fetching the input signal Si based on the synchronizing clock CLK1, a selector 4 selecting an output of the 1st or 2nd D flip-flop 1, 2, a control circuit 6 comparing a change point of time of the input signal Si with a change point of time of the output selected by the selector and outputting a changeover control signal CNT when both the change point of times approach a prescribed time length or below to select the output of the selector 4, and a 3rd D flip-flop 3 outputting the output of the selector 4 synchronously with the synchronization clock CLK1.





(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-327676

(43)公開日 平成5年(1993)12月10日

(51)Int.Cl.⁵

H 0 4 L 7/00

識別記号

庁内整理番号

F I

技術表示箇所

A 7928-5K

審査請求 未請求 請求項の数1(全 5 頁)

(21)出願番号

特願平4-126578

(22)出願日

平成4年(1992)5月20日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 山口 政数

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

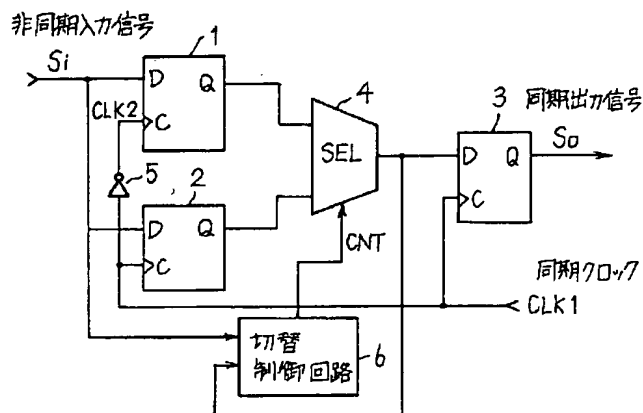
(54)【発明の名称】 非同期信号同期化回路

(57)【要約】

【目的】 デジタル伝送装置等において、非同期で入力する信号を同期クロックに同期させて出力する同期化回路に関し、データ再送により誤り回復を行うこと前提として、非同期入力信号を同期クロックで取り込む際に出力信号が不確定となることを防止することによって非同期入力信号を誤りなく同期化信号に変換できるようにすることを目的とする。

【構成】 同期クロックCLK1で入力信号Siを取り込む第一のDフリップフロップ1と、反転同期クロックCLK2で入力信号Siを取り込む第二のDフリップフロップ2と、切替制御信号CNTに従って前記第一または第二のDフリップフロップ1、2の出力を選択するセレクタ4と、入力信号Siの変化時点とセレクタが選択している出力の変化時点とを比較し、両変化時点が所定時間長以下に近づいた時に前記切替制御信号CNTを出力してセレクタ4の出力を切替させる制御回路6と、前記セレクタ4の出力を同期クロックCLK1に同期させて出力する第三のDフリップフロップ3とを有する構成である。

本発明の非同期信号同期化回路の原理構成図



【特許請求の範囲】

【請求項1】 同期クロックに対して非同期で入力する信号を同期クロックに同期させて出力する同期化回路において、

同期クロック(CLK1)で入力信号(Si)を取り込む第一のDフリップフロップ(1)と、

反転同期クロック(CLK2)で入力信号(Si)を取り込む第二のDフリップフロップ(2)と、

切替制御信号(CNT)に従って前記第一または第二のDフリップフロップ(1, 2)の出力を選択するセクタ(4)と、

入力信号(Si)の変化時点とセクタ(4)が選択している出力の変化時点とを比較し、両変化時点が所定時間長以下に近づいた時に前記切替制御信号(CNT)を出力してセクタ(4)の出力を切替させる切替制御回路(6)と、前記セクタ(4)の出力を同期クロック(CLK1)に同期させて出力する第三のDフリップフロップ(3)とを有することを特徴とする非同期信号同期化回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、デジタル伝送装置等において、非同期で入力する信号を同期クロックに同期させて出力する同期化回路に関する。

【0002】

【従来の技術】デジタル伝送装置等では、非同期で入力するデータ信号を、同期クロックに同期させて出力する同期化回路が用いられる。

【0003】入力する非同期データを同期データに変換して送信する時には、受信側と送信側の伝送速度の公称値(例えば1.6KHz、4.8KHz)が同じでも、厳密には異なるため変換したときにビットの余り、または欠落が生じる。

【0004】本発明が対象とするデータ伝送システムでは、ある程度のプロトコルを双方向で持ち、受信データに誤りがあった場合にはデータの再送を要求するようになっている。このように、再送により誤りを訂正できるプロトコルを採用している場合には、入力した非同期信号を同期化信号に変換して出力する同期化回路として、Dフリップフロップを用い、入力信号を同期クロックで保持しなおすことによって出力信号を同期クロックに同期させる方法が取られる。

【0005】

【発明が解決しようとする課題】上記方式では、調歩同期のように入力される非同期データに合わせて出力データのフォーマットを設定する必要がなく、送信側で最適なフォーマットで同期化データを送出できる。

【0006】しかし、非同期入力信号の変化点とこれをDフリップフロップに取り込む同期クロックの立上りエッジとが近接すると、D-FFの出力が不確定になり、入力データを正しく取り込むことができず、ビット余

り、欠落の他にデータ誤りが生じる。

【0007】そして、入力非同期データと送出する同期化データとの伝送速度の差で、同期クロックの立上りエッジと入力データの変化点との接近が周期的に発生し、データ取込みの不確定が周期的に起こる。このため、周期的にデータのビット余り、欠落、誤りが発生する。そして、受信側(入力側)と送信側(出力側)との伝送速度の差が小さいほど不確定領域に入ったときにその領域内にある時間が長くなり、データ誤りが多くなる。そしてこれを訂正するためには、再送を繰り返すことになりデータの伝送効率が悪くなるという問題があった。

【0008】本発明は上記問題点に鑑み創出されたもので、データ再送により誤り回復を行うシステムを対象として、非同期入力信号を同期クロックで取り込む際に、出力データが不確定となることを防止し、非同期入力信号を誤りなく同期化信号に変換できるようにすることを目的とする。

【0009】

【課題を解決するための手段】図1は本発明の非同期信号同期化回路の原理構成図である。上記課題は、図1に示すように、同期クロックに対して非同期で入力する信号を同期クロックに同期させて出力する同期化回路において、同期クロックCLK1で入力信号Siを取り込む第一のDフリップフロップ1と、反転同期クロックCLK2で入力信号Siを取り込む第二のDフリップフロップ2と、切替制御信号CNTに従って前記第一または第二のDフリップフロップ1、2の出力を選択するセクタ4と、入力信号Siの変化時点とセクタが選択している出力の変化時点とを比較し、両変化時点が所定時間長以下に近づいた時に前記切替制御信号CNTを出力してセクタ4の出力を切替させる制御回路6と、前記セクタ4の出力を同期クロックCLK1に同期させて出力する第三のDフリップフロップ3とを有することを特徴とする本発明の非同期信号同期化回路により解決される。

【0010】

【作用】第三のDフリップフロップが同期クロックのタイミングでデータを出力する前段に、非同期入力データを同期クロックと、反転同期クロックとで取り込む二つのDフリップフロップを設け、セクタで入力データの変化点から離れた方のクロックで取り込んだデータを選択するので、Dフリップフロップの取込みタイミングと入力データ変化点とが所定時間長以下に近づくことなく、データ取込みの不確定性が防止できる。

【0011】

【実施例】以下添付図面により本発明の非同期信号同期化回路を説明する。図2は本発明の実施例の回路図、図3は実施例の動作タイミングチャートである。なお全図を通じて同一符号は同一対象物を表す。

【0012】図1において、1、2、3はそれぞれ第一、第二、第三のDフリップフロップ、4は2:1セレ

クタ、5はインバータ、6は切替制御回路である。切替制御回路6は、4つのD-フリップフロップ61、62、63、64、EX-ORゲート65、遅延回路66、二つのインバータ67、68からなる。

【0013】第一、第二のDフリップフロップ1、2は、そのデータ端子Dに入力する非同期入力信号Siを、それぞれ、反転同期クロックCLK2、同期クロックCLK1の立上りのタイミングで保持して出力する。両フリップフロップ1、2の出力は、切替制御信号CNTによって制御されるセクタ4で一方が選択され、第三のDフリップフロップ3のデータ端子Dに入力する。Dフリップフロップ3は、同期クロックCLK1の立上りのタイミングでこの入力をラッチし、同期化された出力信号Soを出力する。

【0014】切替制御回路6は、セクタ4が出力する信号③の立上り変化時点と、非同期入力信号Siの立上り変化時点との時間差を監視して、その差が所定時間T以下になったらセクタ4に切替制御信号CNTを出して、セクタ4が他方の入力を選択出力するように切替させる。

【0015】切替制御回路のD-FF61、62は、それぞれクロック端子Cに非同期入力信号Siと、セクタ4の出力信号③とが入力し、それぞれの立上りエッジでQ出力から"H"を出力する。またリセット端子Rに"L"が入力するとリセットされQ出力は"L"となる。

【0016】D-FF61、62の出力はEX-OR65で排他和が取られ、その出力④は2分岐して、一方は遅延回路66で時間Tだけ遅延されて⑤となり、他方はインバータ67で反転されて⑥となり、D-FF63のデータ入力端子Dとクロック端子Cにそれぞれ加えられる。またEX-OR出力の遅延信号⑤は、インバータ68で反転されて、D-FF61、62のリセット端子Rに入力する。

【0017】D-FF64は、そのクロック端子CにD-FF63の反転Q出力⑥が入力し、⑥の立上りで自己の反転Q出力をラッチしてQ出力を反転し、そのQ出力を切替制御信号CNTとしてセクタ4の選択入力に供給する。次に図3の動作タイムチャートを共に用いて、動作を説明する。

【0018】非同期入力信号Siは、ビット毎に反転するデータD₀、D₁、D₂、D₃・・・からなるものとし、また同期クロックは入力信号のビットレートより速い場合の例である。

【0019】最初は、切替制御信号CNTが"H"で、第二のD-FF2の出力②がセクタ4によって選択されているものとする。この出力データ②は、変化するタイミングが反転同期クロックCLK2の立上りエッジのタイミングに等しい。t₁で入力信号Siは"L"→"H"に変化するので、D-FF62は"H"を出力するが、D-FF61はリセット状態にあり"L"を出力しているので、EX-OR65の出力④は、"H"となる。これによって遅延時間T

後に、D-FF63のデータ端子に"H"が入力するとともに、インバータ68を介して2つのD-FF61、62がリセットされるので、EX-OR65の出力は"L"となる。D-FF63はEX-ORの出力④の立下り（即ち④の反転出力⑥の立上り）で遅延回路66の出力⑤の"H"を取込み、反転Q出力から"L"を出力する。

【0020】セクタ4の出力が"L"→"H"となるタイミングt₂、t₃でも同様の動作が行われるが、このときも入力信号Siの立上り変化タイミングとの差が遅延時間Tより大きいので、D-FF63は"H"出力を継続する。

【0021】このように、セクタ3の出力の"L"→"H"の変化のタイミングと、入力信号Siの"L"→"H"変化のタイミングの差が、時間長Tよりも大きい場合には、2つのD-FF61、62は遅延出力⑤によってリセットされ、D-FF63の出力⑦は"L"で継続する。

【0022】従って、セクタ4は、第二のD-FF2の出力②を選択出力するので、出力段のD-FF3は同期クロックCLK1に同期して、データD₀₂、D₁₂、D₂₂からなる同期化信号Soを出力する。これらのデータは、入力信号の変化点から十分離れたタイミングで正確にラッチされたものであり、データ誤りがない。

【0023】そしてt₄のタイミングでは、セクタ出力③の立上りが入力信号Siの"L"→"H"変化点に追いついてくるので、二つのD-FF61、62は時間長T以内に同時にセットされるので、EX-OR出力④は遅延回路出力⑤によるD-FF61、62のリセットを待たずに立下る。するとD-FF63はその反転信号⑥の立上りエッジで遅延回路出力⑤の"L"をラッチし、反転出力⑦を"L"→"H"に変化させる。これにより、D-FF64のQ出力である切替制御信号CNTは"H"→"L"に変化するので、セクタ4の出力は反転同期クロックCLK2で入力データをラッチしているD-FF1の出力①に切り替わる。これによって、以後D-FF3に入力するデータは、入力データ変化点から十分離れた立上りタイミングで入力データを取り込んでいる第一のD-FF1の出力データD₂₁、D₃₁、D₄₁に切り替わり、誤りの無い出力データD₃₁・・・を同期化出力する。なお、タイミングt₄で"H"となったD-FF63の出力⑦は、次の比較のタイミングt₅で、t₁の時と同様な動作で"L"に変化し、次の切替制御に備える。

【0024】以上説明したように、本発明によれば、出力に用いるデータが不確定領域に近づく、即ち非同期入力信号の変化点と取込みタイミングとが接近すると、すぐさま確定領域のデータ、即ち、取込みタイミングを180°移相した取り込んだデータに切替えるので、本来の伝送速度の違いによるデータのビット余り、欠落は発生するが、伝送速度の差が小さい場合でも、不確定領域の継続によるデータ誤りの多発を防止することができる。

【0025】

【発明の効果】以上説明したように、本発明によれば、非同期信号を同期化出力するある程度のビット余り、欠落が容認できる伝送システムに用いる同期化回路において、非同期／同期の変換をビット誤りなく行うことが可能となり、再送の繰り返しを減少させてデータ伝送効率を向上できるという効果がある。

【図面の簡単な説明】

【図1】 本発明の非同期信号同期化回路の原理構成図

【図2】 本発明の実施例の回路図

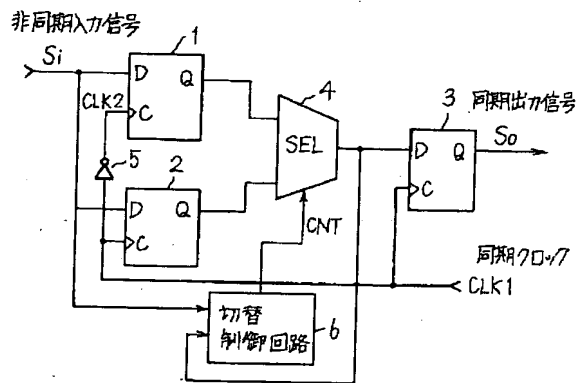
【図3】 実施例の動作タイミングチャート

【符号の説明】

1…第一のDフリップフロップ、2…第二のDフリップフロップ、3…第三のDフリップフロップ、4…2:1セレクタ、5…インバータ、6…切替制御回路

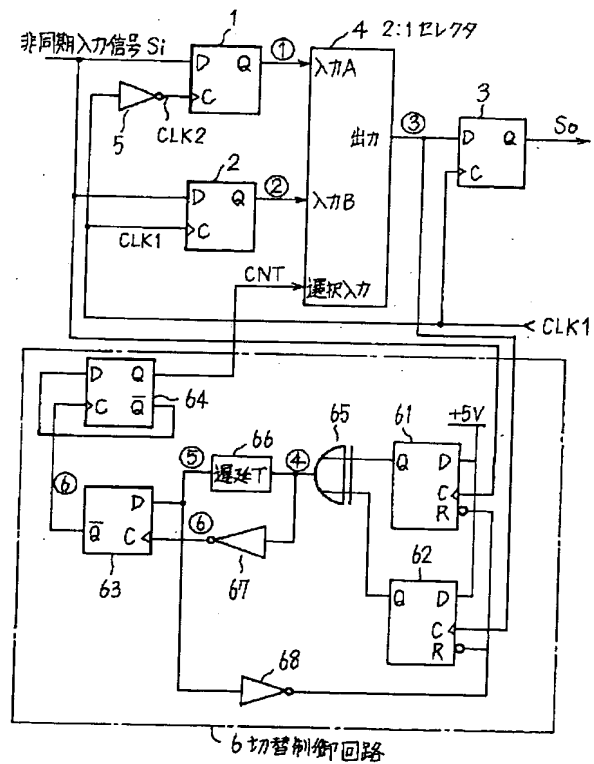
【図1】

本発明の非同期信号同期化回路の原理構成図



【図2】

本発明の実施例の回路図



【図3】

実施例の動作タイミングチャート

